

## TR-KSup.11

# JT-K131 補足資料 FPGA におけるソフトエラー対策

Supplement to JT-K131  
Soft error measures of field  
programmable gate arrays

第 1 版

2019 年 2 月 21 日制定

一般社団法人  
情報通信技術委員会

THE TELECOMMUNICATION TECHNOLOGY COMMITTEE

本書は、一般社団法人情報通信技術委員会が著作権を保有しています。  
内容の一部又は全部を一般社団法人情報通信技術委員会の許諾を得ることなく複製、転載、改変、転用及びネットワーク上での送信、配布を行うことを禁止します。

# 目次

<参考>.....	4
要約.....	5
キーワード.....	5
まえがき.....	5
1. 適用.....	6
2. 引用規格.....	6
3. 定義.....	6
4. 略語と頭字語.....	6
5. 慣例.....	6
6. FPGAにおけるソフトエラー対策.....	7
6.1 ソフトエラー対策・改善内容の変遷とその影響.....	7
6.1.1 半導体 IC ウェーハプロセス材料上の改善例.....	8
6.1.2 半導体 IC パッケージ材料上の改善.....	8
6.1.3 SRAM の改善.....	9
6.1.4 SRAM 回路配置上の改善.....	9
6.2 ソフトエラー対策機能.....	9
6.2.1 BRAM に対するソフトエラー対策機能.....	9
6.2.2 CRAM に対するソフトエラー対策機能.....	10
6.2.2.1 ソフトエラー低減マクロ機能の種類.....	10
6.2.2.2 CRAM のソフトエラー検出・訂正機能.....	10
6.2.2.3 CRAM のクラス分け機能.....	11
6.2.2.4 CRAM へのエラーインジェクション機能.....	12
6.3 サービス信頼度 (SR) 基準 ・ 保守信頼度 (MR) 基準を満たすための実行例.....	12
6.3.1 BRAM の実行例.....	12
6.3.2 CRAM の実行例.....	12
6.3.2.1 ソフトエラーによる事象と SR 基準 / MR 基準との関係性.....	12
6.3.2.2 SR / MR 改善手段例.....	12
6.3.2.3 SR 基準 / MR 基準の信頼度クラス改善手順例.....	13
6.4 技術動向.....	14
6.4.1 FinFET の使用.....	14
6.4.2 半導体 IC パッケージ動向.....	14
6.4.3 FPGA ベンダ提供回路の動向.....	15
参考文献.....	16

<参考>

1. 国際勧告との関連

本技術レポートは、2018年9月にITU-Tにて同意されたITU-T勧告K Suppl.11に準拠したものである。

2. 上記国際勧告等との相違点

なし

3. 改版の履歴

版 数	発 行 日	改 版 内 容
第1版	2019年2月21日	制 定 (ITU-T K Suppl.11 (9/2018) 準拠)

4. 工業所有権

本技術レポートに関わる「工業所有権等の実施の権利に係る確認書」の提出状況は、TTCホームページでご覧になれます。

5. その他

なし

6. 作成部門

伝送網・電磁環境専門委員会

### 要約

TR-KSup.11 は JT-K131 の補足資料であり、フィールドプログラマブルゲートアレイ (FPGA) のソフトエラー対策手法を説明する。FPGA は、最近の大規模集積回路 (LSI) の主流となっており、多くの FPGA が通信機器の主要コンポーネントとして使用されている。はじめに、半導体の製造テクノロジー・ノードの微細化に対応するソフトエラー発生率の傾向を記述し、FPGA ベンダがユーザに提供する材料、物理レイアウト、設計ツールなどのソフトエラー低減対策手法について説明する。次に、これらの対策を適用しソフトエラー信頼度基準を考慮した通信装置における FPGA の設計手法例について説明する。最後に、FPGA のソフトエラー低減対策の技術動向について説明する。

### キーワード

ソフトエラー、FPGA、誤り訂正

### まえがき

FPGA の回路構成を決定するためのコンフィギュレーションデータは SRAM に格納され、任意の機能を実現することができる。そのため、ソフトエラーの影響を受ける可能性がある FPGA はシステムに大きな影響を与える懸念がある。したがって、FPGA の回路設計段階に対策を実装することが重要である。この補足資料は、SRAM 型 FPGA のソフトエラー低減対策の設計例をまとめたものである。

# TR-KSup.11/JT-K131 補足資料 FPGA におけるソフトウェア対策

## 1. 適用

本資料は[JT-K131]の補足資料であり、FPGA についてのソフトウェア発生率の動向・対策について説明し、通信装置におけるソフトウェア対策設計時の参考情報を提供するものである。

## 2. 引用規格

[JT-K131] JT-K131 (2/2019), 通信装置のソフトウェア対策設計法

## 3. 定義

なし

## 4. 略語と頭字語

本標準では次の略語を使用する。

BRAM	Block Random Access Memory	
CRAM	Configuration Random Access Memory	
DRAM	Dynamic Random Access Memory	
ECC	Error Correction Code	
FinFET	Fin Field-Effect Transistor	
FIT	Failure in Time	
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
IC	Integrated Circuit	
LSI	Large-Scale Integrated Circuit	大規模集積回路
MR	Maintenance Reliability	保守信頼度
RoHS	Restriction of Hazardous Substances	
SEU	Single Event Upset	
SR	Service Reliability	サービス信頼度
SRAM	Static Random Access Memory	

## 5. 慣例

なし

## 6. FPGA におけるソフトウェア対策

### 6.1 ソフトエラー対策・改善内容の変遷とその影響

ソフトウェア対策・改善内容の変遷とその効果について説明する。

一般的な FPGA では、コンフィグレーションデータ用の CRAM、ユーザ設計用の BRAM には SRAM Cell 構造が用いられており、ソフトウェアに対する対策が要請されてきた。

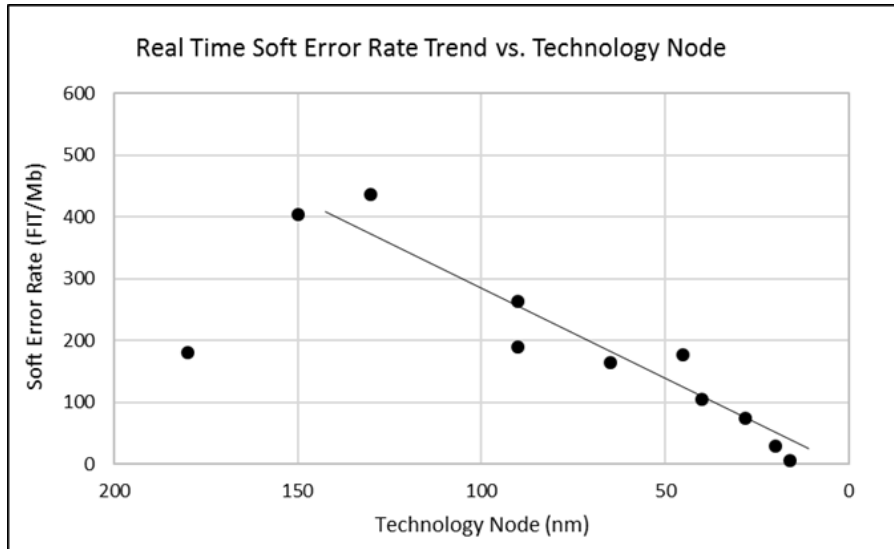


図 6.1.1 テクノロジー・ノード毎の CRAM のソフトウェア発生率

参照 [b-Xilinx-UG116]

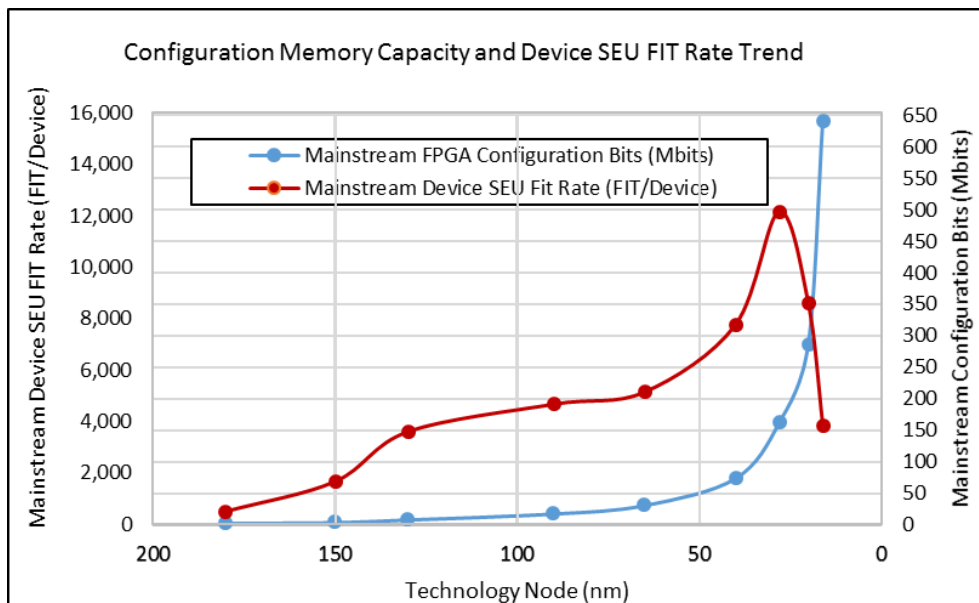


図 6.1.2 テクノロジー・ノード毎の主な FPGA の CRAM 容量とデバイス単位のソフトウェア発生率

参照 [b-Xilinx-UG116] and [b-Xilinx-Site]

図 6.1.1 のグラフは、CRAM におけるソフトウェア発生率(FIT/Mb)のテクノロジー・ノード毎の変遷を示したものである。個々の FPGA ベンダが様々な対策を施してきたことで、150nm からテクノロジー・ノード毎にソフトウェア発生率の改善が図られてきたことを示している。特に 20nm や 16nm プロセスを使用した

製品では従来のトレンドカーブ以上にソフトウェア発生率が改善された。20nm 製品は Planar FET であるが採用した回路対策が顕著な効果をもたらした。16nm 製品は FinFET を採用した効果が顕著に表れた。

これは、FPGA の適用範囲が地上の様々な装置への搭載のみならず、火星探査機などの航空宇宙機器への展開なども進められ、FPGA へのソフトウェアの影響調査・対策が進められたことによる。

図 6.1.2 のグラフは、テクノロジー・ノード毎で主に使用されてきた FPGA の CRAM 容量とデバイス単位のソフトウェア発生率の変遷を示したものである。回路規模の急激な拡大に伴う CRAM 容量増加に伴ってデバイス単位のソフトウェア発生率(FIT/Device)が上昇する傾向にあることを示している。20nm や 16nm の FPGA では回路対策やトランジスタ構造変更(Planar FET から FinFET)によりソフトウェア発生率改善効果が CRAM 容量増加よりも有効に働き、デバイス単体でのソフトウェア発生率も大きく改善された。これは 16nm 製品で顕著であり、20nm 製品以上にデバイス単体で大きく改善した。

しかし、益々システムへの要求性能が拡大している中、FPGA は通信装置の中核機能を担うようになると共に搭載される数量も増加している。従って、FPGA ベンダの対策によりデバイス単体のソフトウェア発生率は改善し低下しているが、システム全体のサービスに与える影響度が改善されない可能性があるため、引き続きソフトウェア発生率低減対策は必要である。

FPGA ベンダがこれまでに実施してきたソフトウェア発生率低減策の主なものを、下記に示す。

#### 6.1.1 半導体 IC ウェーハプロセス材料上の改善例

半導体 IC ウェーハプロセス材料のひとつとして使用されてきたボロン化合物には  $^{11}\text{B}$ ,  $^{10}\text{B}$  が含まれている。 $^{10}\text{B}$  に熱中性子線が衝突するとアルファ線が生じ、これがソフトウェアの原因となる場合がある。半導体 IC では、その対策として材料の精製による  $^{10}\text{B}$  含有量の最少化、またはボロン化合物を使用しない半導体 IC プロセス構成技術の導入が図られてきている。

#### 6.1.2 半導体 IC パッケージ材料上の改善

半導体 IC のソフトウェアについては、当初 DRAM での発生が問題視された。その主たる原因は IC パッケージ材料に含まれる微量の放射性同位元素から放射されるアルファ線にあった。これについてはセラミック材料を選択して放射性同位元素含有量を低減、もしくはモールド材料内のフィラー材の自然原材料から放射性同位元素を含まない材料で生成した材料への移行、アルファ線遮蔽用のポリイミドの導入等々による対策が行われてきた。FPGA に使用される IC パッケージでも同様の対策が行われてきたものの、さらにフリップチップ パッケージに使用される半田バンプ材、アンダーフィル材に含まれるアルファ線源からのアルファ線の影響も考慮する必要があることが判ってきた。その結果これらに使用される材料のアルファ線源低減対策が図られてきており、今日では極低アルファ線放出(ULA)材料が主要な FPGA で使用されている。

装置開発においてソフトウェア対策を検討する場合、設計段階においては中性子線とアルファ線両者のソフトウェア発生率を合算して検討する必要がある。一方、装置レベルのソフトウェア評価においてはアルファ線を加速して装置へ照射することが困難であるため、加速器中性子源を用いた中性子線加速試験のみが実施される。



### 6.1.3 SRAM の改善

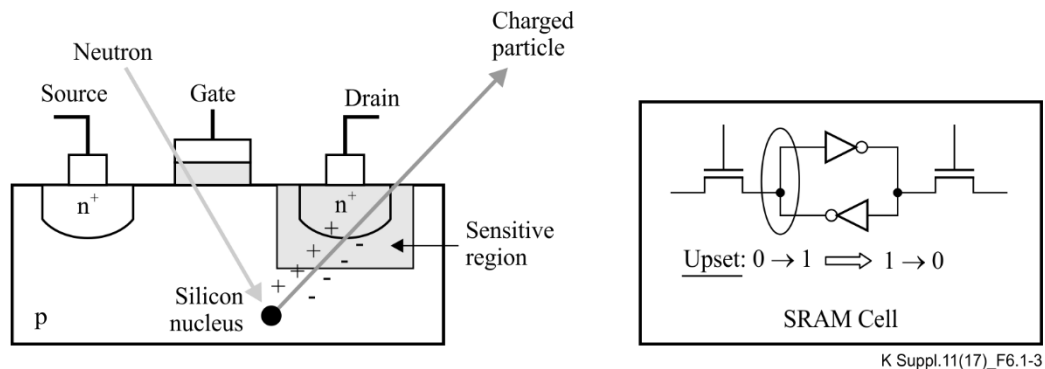


図 6.1.3 中性子線起因の SRAM でのソフトエラーメカニズム

参照 [b-JEDEC]

SRAM のソフトエラーは、図 6.1.3 に示すように、中性子が半導体素子内へ突入しシリコン原子との衝突によって生じた荷電粒子による SRAM 内ノードへの影響によって生じる。その改善は、一般的に該当ノードの負荷容量を増すなどの方法によって臨界電荷量を増し、荷電粒子による論理反転を抑制するなどの方法が取られている。

### 6.1.4 SRAM 回路配置上の改善

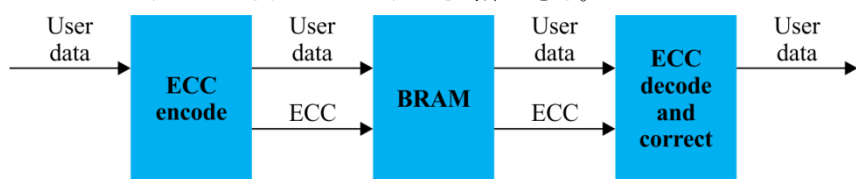
半導体 IC の微細化の進展と共に、隣り合った複数の SRAM Cell が同時にソフトエラーを生じる(マルチビットエラー)可能性が生じてきた。マルチビットエラーが同時読み出し対象ビット内で発生した場合、エラー検出、訂正コードの生成が適正に行えなくなる可能性が生じる。このため、(複数のビット誤りを直接訂正するために) より強力な誤り検出および訂正符号の使用と、(複数のコードワードにわたる複数のビット誤りを分配するための) メモリインタリーブの増加がより一般的になってきている。

## 6.2 ソフトエラー対策機能

ソフトエラーの影響を低減するために、FPGA ベンダから各種対策機能が提供されている。FPGA に搭載されている SRAM (ユーザメモリ用の BRAM とコンフィグレーションデータ用の CRAM) について対策機能を説明する。

### 6.2.1 BRAM に対するソフトエラー対策機能

ユーザメモリとして使用される BRAM では、BRAM から読み出されたデータの誤りを訂正する ECC 機能を付加することでソフトエラーによるデータ・エラーを対策できる。



K Suppl.11(17)\_F6.2-1

図 6.2.1 ECC による BRAM に対するソフトエラー対策例

参照 [b-Altera] and [b-Xilinx-UG473]

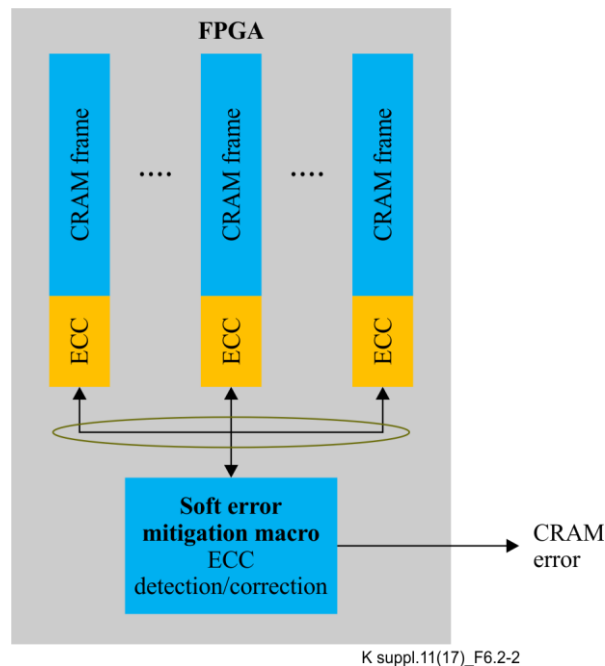
Note: BRAMに実装されるエラー訂正機能は、読出したデータの訂正を行うもので、BRAM内のメモリのビットエラーは修正されない。

## 6.2.2 CRAMに対するソフトエラー対策機能

### 6.2.2.1 ソフトエラー低減マクロ機能の種類

FPGAベンダはCRAMに発生したソフトエラーの影響を低減させるためのマクロを開発し、FPGA開発ツールの一部として提供している。このソフトエラー低減マクロは以下の4つの機能を有している。

- 1) CRAMのソフトエラー検出機能
- 2) CRAMのソフトエラー訂正機能
- 3) CRAMのクラス分け機能
- 4) CRAMへのエラーインジェクション機能



K suppl.11(17)\_F6.2-2

図 6.2.2 ソフトエラー低減マクロ構成例

参照 [b-Altera] and [b-Xilinx-WP395]

### 6.2.2.2 CRAMのソフトエラー検出・訂正機能

ソフトエラー検出・訂正機能は、CRAMのビットエラーを検出して訂正する機能であり、これらはユーザーが作成した回路のバックグラウンドで動作している。

CRAMのソフトエラー検出機能は、CRAMの全てのビットのいずれかにエラーが生じたことを検出するものである。CRAMのビット数は多いため、エラー検出を全てのCRAMに対して同時に行うことができず、CRAMをフレーム毎にスキャンすることで実行される。

CRAMのソフトエラー訂正機能は、検出したエラービットに修復データを自動的に上書きし、元の状態に復旧させる機能である。エラービットの訂正はエラー検出後、直ちに短時間で完了するため、そのエラー訂正時間はエラー検出のスキャン時間に対してほぼ無視できる。

[期待効果]

CRAMのソフトエラー検出・訂正機能によるCRAMの全ビットをスキャンする時間をスキャン周期(T)と

呼ぶ。CRAM のスキャン周期(T)がサービス信頼度 (SR) 基準のクライアント信号断継続時間以下であれば、ソフトウェア検出・訂正機能によりビットエラーを基準時間以内に検出し訂正するため、CRAM のビットエラーを SR 基準の対象外とすることができる。(図 6.2-3 参照)

Note1 : FPGA の CRAM のビット数は主に FPGA の搭載ロジック数に応じて決まるため、スキャン周期は各 FPGA で一定では無く、搭載ロジック数が多くなるとスキャン周期が長くなる。現状の 28nm や 20nm 世代の FPGA ではエラー検出のスキャン周期 (T) の公称値は 100msec 以下である。各 FPGA ベンダの各 FPGA デバイスでスキャン周期が異なるので、システム機能仕様を検討する時に予め確認しておく必要がある。

Note2 : CRAM のソフトウェア訂正機能は、CRAM のビットエラーを訂正するものである。ビットエラーに起因したユーザ回路でのエラーは、CRAM のエラーが訂正された後も復旧しない場合があり得る。

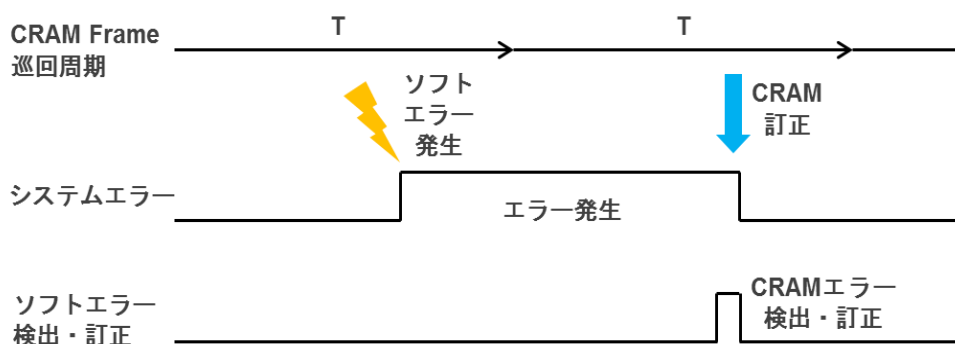


図 6.2.3 ソフトエラー発生時の動作例

### 6.2.2.3 CRAM のクラス分け機能

CRAM のクラス分け機能は、FPGA ベンダ独自のルールに従い、ユーザ回路の全体で使用される CRAM、もしくはそのユーザ回路内の一部のブロックで使用される CRAM を『使用』している CRAM として区別し、通知を行う機能である。

ユーザ回路の CRAM 使用情報は予め、FPGA ベンダの設計ツールにより、『使用』している CRAM のビット情報として抽出できる。CRAM のクラス分け機能では、CRAM のエラービット情報とユーザ回路での使用情報を照合することで、発生したエラービットが『使用』しているビットに該当するか否かの判定を行い、結果をユーザに通知する。

#### [期待効果]

FPGA にユーザ回路を構成しても、CRAM の全ビットが使用されないため、CRAM のビットエラーが必ずしもユーザ回路の動作エラーにはならない。

CRAM のクラス分け機能では、ソフトウェアが『使用』している CRAM のビットで生じたか、それ以外で生じたかを区別できるため、不要なソフトウェア検出通知情報を削減できる。従って、この検出通知を有効に利用することはシステム・レベルでのサービス信頼度 (SR) と保守信頼度 (MR) への対策の一つとなる。

Note : CRAM のクラス分け機能を使用する場合、FPGA ベンダ毎にクラス分けのルールが異なるため、ソフトウェアによる FIT 数への変換は、そのクラス分け仕様に従う必要がある。

CRAM のクラス分け機能で『使用』と区分された CRAM ビットには、実際にユーザ回路で使用される CRAM ビットに加えて、ユーザ回路動作に影響を与えない CRAM ビットも含まれる場合がある。よって、『使用』

としてクラス分けされた CRAM ビットでソフトエラー検出通知があった場合でも、必ずしもユーザ回路の機能不良が示される訳ではない。このため、他の故障検出結果も加味した故障評定が有効な場合がある。

#### 6.2.2.4 CRAM へのエラーインジェクション機能

CRAM へのエラーインジェクション機能により、実際に CRAM に対してエラーを挿入することができる。

エラーインジェクション機能は、CRAM のビットを強制的にデータ反転させるものである。

CRAM へのエラーインジェクション機能により CRAM のエラー検出・訂正・通知機能をシステム・レベルで確認することが可能である。

### 6.3 サービス信頼度 (SR) 基準・保守信頼度 (MR) 基準を満たすための実行例

設計した FPGA を SR/MR 基準の所望の信頼度クラスに改善する方法の例を示す。

#### 6.3.1 BRAM の実行例

FPGA ベンダが提供する ECC 回路を使用することで、ソフトエラー発生率をほぼゼロ FIT に改善できる。必要な場所に ECC 回路を使用することを推奨する。

#### 6.3.2 CRAM の実行例

FPGA ベンダが提供するソフトエラー対策機能を使用することで、ソフトエラー発生率を低減することができる。ソフトエラー発生率を低減させる方法の例を下記に示す。

##### 6.3.2.1 ソフトエラーによる事象と SR 基準 / MR 基準との関係性

ソフトエラーによってネットワークサービス及び設備保守に影響が出る。ソフトエラーが SR/MR にどのような影響するかを下記に記述する。

- ・ネットワークのクライアント信号断が継続した場合、SR 基準の対象となる。
- ・クライアント信号断が SR 基準時間内に正常状態に復旧すれば、SR 基準の対象外もしくは基準クラスに定義される。
- ・正常状態に復旧しないパッケージもしくはデバイスがネットワークシステム内にある場合、MR 基準の対象となる。
- ・パッケージもしくはデバイスが全て自動復旧する場合、MR 基準の対象外となる。

##### 6.3.2.2 SR / MR 改善手段例

###### 1) SR 改善手段の例

ネットワークのクライアント信号断継続時間は、下記機能を有効活用することで改善することができる。

- ・FPGA ベンダ提供のエラー検出・訂正機能
- ・FPGA ベンダ提供のクラス分け機能
- ・ユーザ回路での対策（冗長構成など）

###### 2) MR 改善手段の例

装置内に正常状態に復旧しないパッケージもしくはデバイスがある場合は、下記対策で MR を改善することができる。

- ・自動での FPGA の Reconfiguration もしくは初期化
- ・自動でのパッケージの初期化

### 6.3.2.3 SR 基準 / MR 基準の信頼度クラス改善手順例

ソフトウェア対策機能を用いて、ソフトウェア発生率を改善する手順の例を下記に示す。

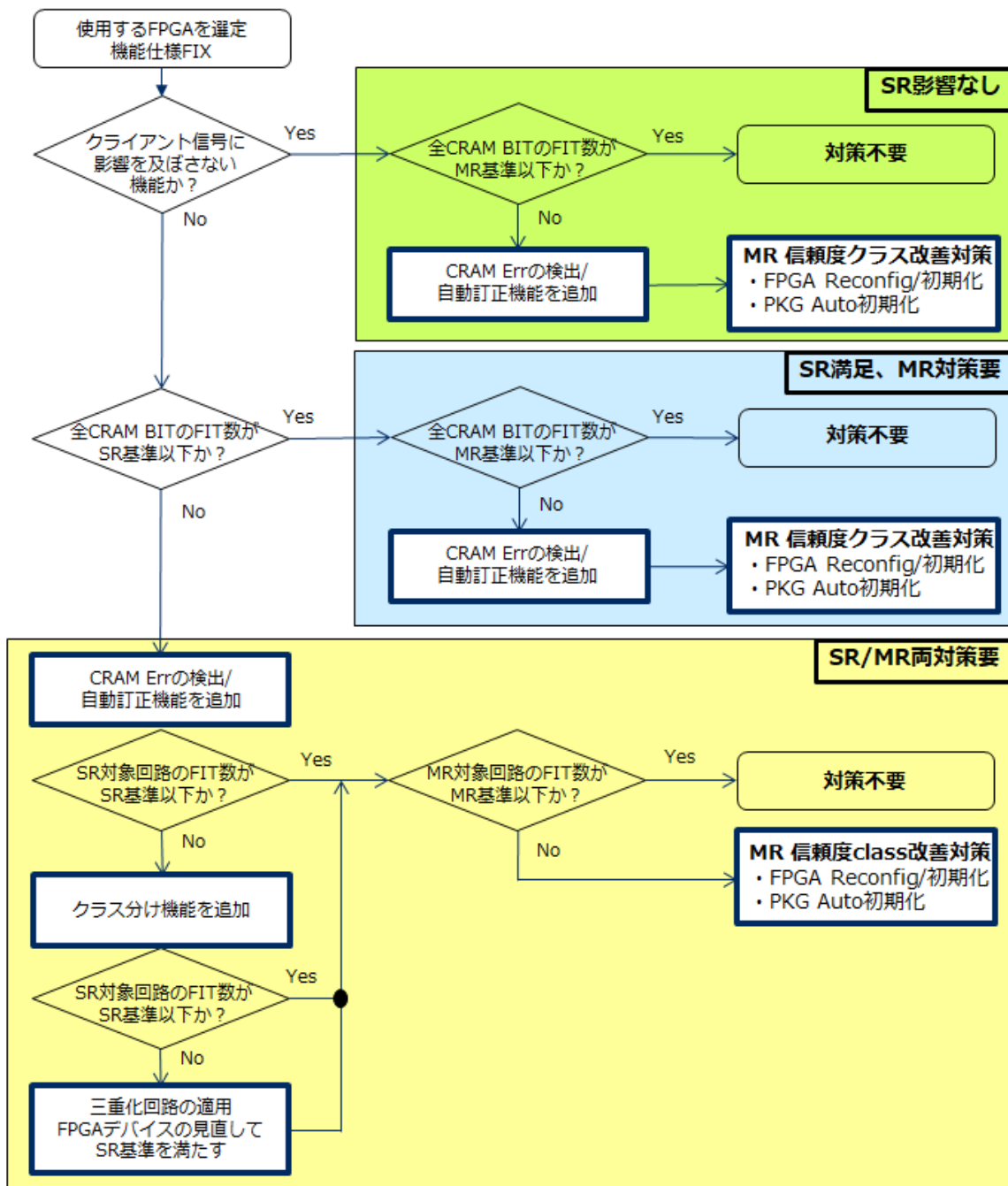
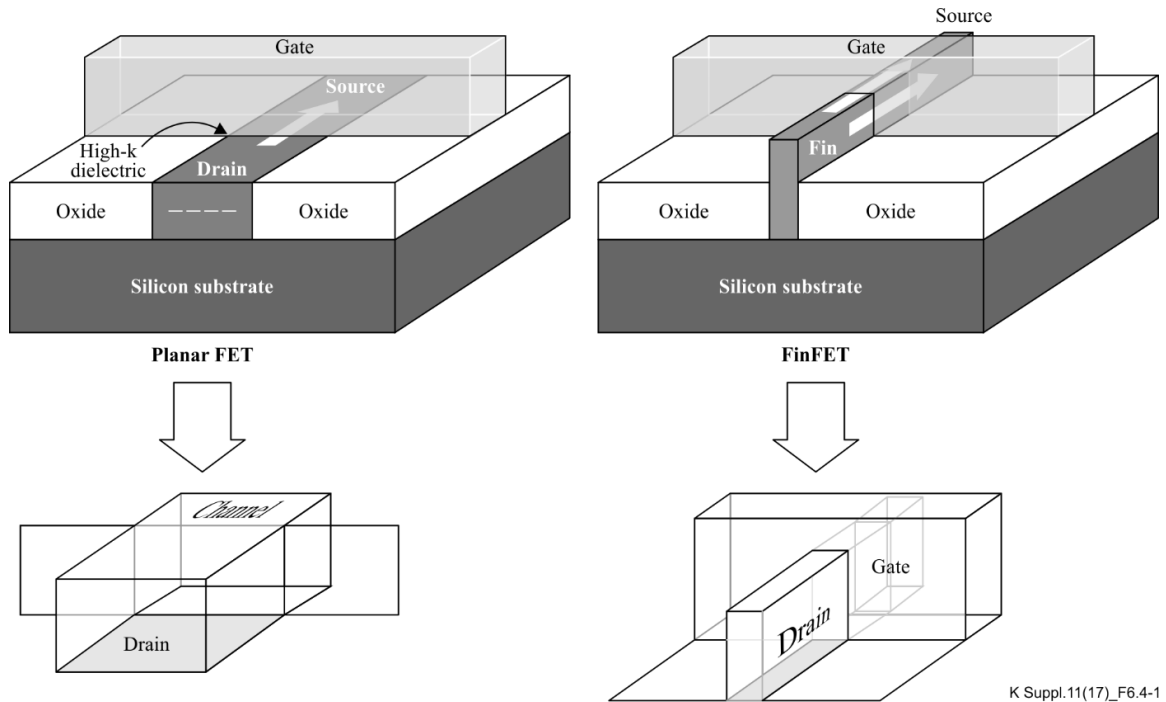


図 6.3.1 SR/MR を改善させるための手順例

## 6.4 技術動向

### 6.4.1 FinFET の使用

22nm または 16nm テクノロジーから FinFET の使用が開始された。



□ Drain - Substrate contact area

Drain - Substrate contact area is organized a junction. In Fin-FET case, relative Drain - Substrate contact area is narrower than Planer-FET, significantly.

図 6.4.1 Planar FET と FinFET の構造概略図と Drain - Substrate 接触部概略図

参照 [b-Xilinx-WP472]

Planar FET は従来から使用されてきたが、FET の能力と Drain - Substrate Junction の接触面積との関係は、半導体技術の微細化の進展と共に Junction の接触面積が相対的に大きくなる傾向にあり、ソフトウェアの相対的な影響も大きくなる傾向にあった。しかし、FinFET を使用することで相対的な Junction の接触面積が大幅に縮小される。その結果、FinFET を使用した FPGA では、他の様々な改善と共にソフトウェア発生率 [FIT/Mb] が格段に改善されることが期待される。

事実、16nm FinFET 技術を使った FPGA 製品は、20nm Planar FET を使用した FPGA 製品に比べソフトウェア発生率 [FIT/Mb] が大幅に改善され、デバイス単体のソフトウェア発生率も改善されていることが確認された。しかし、今後も続く半導体の微細化により次世代の FinFET では過去と同様にソフトウェア発生率 [FIT/Mb] の増大を招き、更にデバイスに搭載される CRAM の増加が続くことが予測されるので、システムへのソフトウェア影響度は拡大する可能性がある。

### 6.4.2 半導体 IC パッケージ動向

近年では RoHS 準拠のために IC パッケージ材料の鉛フリー化が推進されており、フリップチップパッケージでは半田バンプの鉛フリー化が量産レベルで適用され始めている。半田バンプはトランジスタ回路近傍に配置されているため、アルファ線放出材料である鉛が除去されることで、ソフトウェアの低減が図られる方向にある。

### 6.4.3 FPGA ベンダ提供回路の動向

FPGA 製品の規模拡大に伴う SRAM メモリ容量の増加は、CRAM スキャンによるソフトエラー検出回路でのエラーが検出されるまでの時間の増大に繋がる。この対策として検出回路を複数搭載し、並列に検出機能を動作させることで、デバイス全体での検出時間を改善できる。

検出後の誤り訂正回路では、訂正時間の短縮、マルチビットエラー訂正能力を改善する方向に進んでいる。今後もトランジスタの微細化によりマルチビットエラーの割合が増加することが予想されるため、メモリーインタリーブおよびエラー訂正能力の強化による改善を継続している。

エラー挿入回路では、使い勝手の改善、現行のシングルビットエラー挿入からマルチビットエラー挿入ができる機能への向上を図り、より現実の中性子線によるソフトエラー事象に即した評価ができるように改善が進む。

## 参考文献

- [b-Altera] ALTERA White Paper WP-01135, Enhancing Robust SEU Mitigation with 28-nm FPGAs.  
<[https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/wp/wp-01135-stxv-seu-mitigation.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/wp/wp-01135-stxv-seu-mitigation.pdf)>
- [b-Xilinx-Site] Xilinx Documentation Website, Data Sheets, Application Notes and User Guides for each product family.  
<<https://www.xilinx.com/support.html#documentation>>
- [b-Xilinx-UG116] Xilinx Device Reliability Report UG116.  
<[https://www.xilinx.com/support/documentation/user\\_guides/ug116.pdf](https://www.xilinx.com/support/documentation/user_guides/ug116.pdf)>
- [b-Xilinx-WP395] Xilinx White Paper WP395, Mitigating Single-Event Upsets.  
<[https://www.xilinx.com/support/documentation/white\\_papers/wp395-Mitigating-SEUs.pdf](https://www.xilinx.com/support/documentation/white_papers/wp395-Mitigating-SEUs.pdf)>
- [b-Xilinx-WP472] Xilinx White paper WP472 (December 2015), Xilinx Multi-node Technology Leadership Continues with UltraScale+ Portfolio "3D on 3D" Solutions.  
<[https://www.xilinx.com/support/documentation/white\\_papers/wp472-3D-on-3D.pdf](https://www.xilinx.com/support/documentation/white_papers/wp472-3D-on-3D.pdf)>
- [b-Xilinx-UG473] Xilinx User Guide UG473 (September 2016), 7 Series FPGAs Memory Resources.  
<[https://www.xilinx.com/support/documentation/user\\_guides/ug473\\_7Series\\_Memory\\_Resources.pdf](https://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf)>